



(19)

(11) Publication number: **63034795 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **61179756**(51) Int. Cl.: **G11C 11/34 G11C 11/34**(22) Application date: **29.07.86**

(30) Priority:

(43) Date of application
publication: **15.02.88**(84) Designated
contracting states:(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **MIYAMOTO TAKAYUKI
MASUDA NORITAKA**

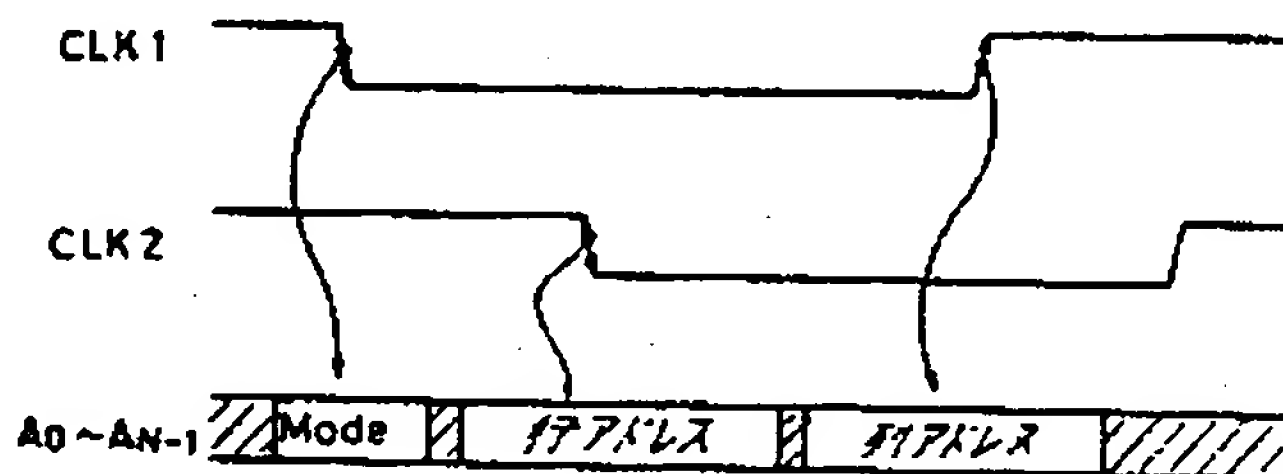
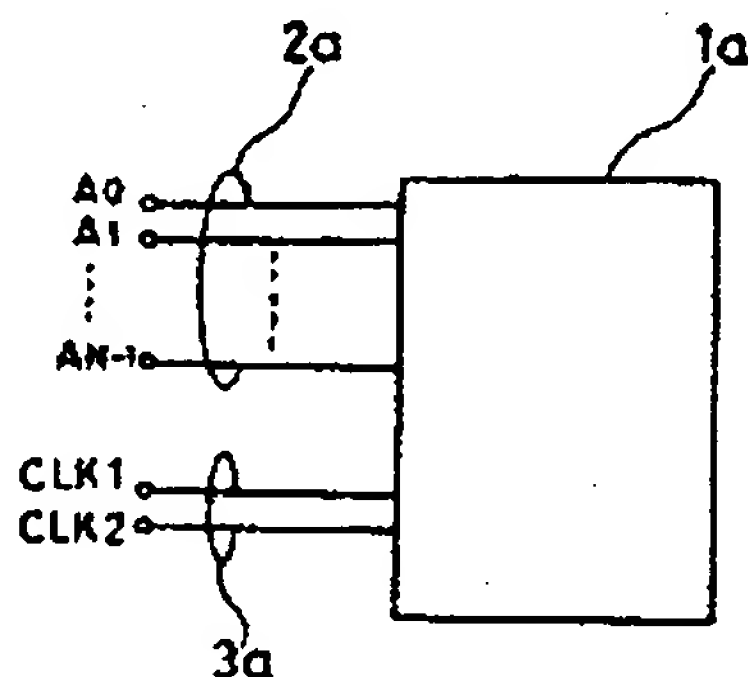
(74) Representative:

**(54) SEMICONDUCTOR
STORAGE DEVICE**

(57) Abstract:

PURPOSE: To reduce the size of a body and a peripheral device by supplying information relating to the addresses of a storage element which is time-divided into two components or not time-divided and an indication relating to the operation mode of the storage device with time division through address lines.

CONSTITUTION: Operation mode information, data input and data output are sent to the address buses 2a with time division from address information A0WAN-1. Namely, the address bus lines for the A0WAN-1 outputs operation mode information, line address information and row address information successively and these information components are triggered at the trailing edge of a CLK 1, the trailing edge of a CLK 2 and the leading edge of the CLK 1 respectively and then applied to the storage device. Thereby, the storage device can execute different operations of 2N based on the mode information. Consequently, the number of input pins of the storage device can be reduced to reduce the size of the storage device and the peripheral device can be simplified and reduced its size.



COPYRIGHT

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-34795

⑬ Int. Cl.⁴
G 11 C 11/34

識別記号
3 6 2
3 7 1

庁内整理番号
C-8522-5B
K-8522-5B

⑭ 公開 昭和63年(1988)2月15日

審査請求 未請求 発明の数 3 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-179756

⑰ 出 願 昭61(1986)7月29日

⑱ 発 明 者 宮 元 崇 行 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 増 田 紀 隆 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 複数のアドレス線と単数または複数のタイミング信号線が接続されている半導体記憶装置において、

2分割以上に時分割されたまたはされていない記憶素子のアドレスに関する情報と、2分割以上に時分割されたまたはされていない前記記憶装置の動作モードに関する指示とを時分割して前記アドレス線より与えるようにしたことを特徴とする半導体記憶装置

(2) 前記記憶装置の動作モードに関する指示やデータ入力を前記記憶装置がとりこむタイミング、及び前記記憶装置がデータを出力するタイミングを前記タイミング信号線のタイミング信号が決定することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 複数のアドレス線と単数または複数のタイ

ミング信号線が接続されている半導体記憶装置において、

2分割以上に時分割されたまたはされていない記憶素子のアドレスに関する情報と、前記記憶装置からのデータ出力かつ/または該記憶装置へのデータ入力とを時分割して前記アドレス線より与えるようにしたことを特徴とする半導体記憶装置。

(4) 前記記憶装置の動作モードに関する指示やデータ入力を記憶装置がとりこむタイミング、及び該記憶装置がデータを出力するタイミングを前記タイミング信号線のタイミング信号が決定することを特徴とする特許請求の範囲第3項記載の半導体記憶装置。

(5) 複数のアドレス線と単数または複数のタイミング信号線が接続されている半導体記憶装置において、

2分割以上に時分割されたまたはされていない記憶素子のアドレスに関する情報と、2分割以上に分割されたまたはされていない上記記憶装置の動作モードに関する指示と、上記記憶装置からの

データ出力かつ／または記憶装置へのデータ入力とを時分割して前記アドレス線より与えるようにしたことを特徴とする半導体記憶装置。

(6) 前記記憶装置の動作モードに関する指示やデータ入力を記憶装置がとりこむタイミング、及び記憶装置がデータ出力するタイミングを前記タイミング信号線のタイミング信号が決定することを特徴とする特許請求の範囲第5項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体記憶装置に関し、特にその時分割方式の改良に関するものである。

(従来の技術)

第6図は従来の半導体記憶装置の一例で、64KダイナミックRAMの入力信号例を示すものであり、図において1bは半導体記憶装置である64KダイナミックRAM、2bは64KダイナミックRAM 1bに接続されているアドレスバス線で、A₀～A₇の8本で構成されている。3bは

クロック信号で、RAS、CAS、R/Wの3本から構成されている。

第7図は第6図の装置の動作タイミングを示し、第8図は第6図の装置の動作モードをまとめたものである。

また第9図は、従来の半導体記憶装置の他の一例で、64K×4ビデオRAMの入力信号例を示すものであり、図において1cは半導体記憶装置である64K×4ビデオRAM、2cは64K×4ビデオRAM 1cに接続されているアドレスバス線で、第6図の従来例と同様にA₀～A₇の8本で構成されている。3cはクロック信号で、RAS、CAS、DT/OE、WB/WEの4本から構成されている。

第10図は第9図の装置の動作タイミングを示し、第11図は第9図の装置の動作モードをまとめたものである。

次に第6図の装置の動作について第7図にもとづいて説明する。なお、第6図に示した64KダイナミックRAMは65536=2¹⁶個の記憶素子を

含んでおり、その中の任意の記憶素子の情報を読み出したり書きかえたりできる装置である。

第7図において、まず、上位8ビットのアドレス情報(行アドレス)が、アドレスバス線2bに出力され、時刻t₁においてクロック信号3bの中のRAS信号の立ち下がりによって記憶装置1bにとりこまれる。次に下位8ビットのアドレス情報(列アドレス)がアドレスバス線2bに出力され、時刻t₂においてCAS信号の立ち下がりによって記憶装置1bにとりこまれる。このように、アドレスバス線2bにはアドレス情報が時分割して出力されている。また、時刻t₁からCAS信号の立ち上がり時刻t₃までの間、R/W信号がHighの状態ならば読み出し、Lowの状態ならば書き込みの動作モードが指定できる。この様子は第8図にまとめて示している。なお、実際には時刻t₁からt₃の間にR/W信号の状態を固定する必要はないが、これは本発明に直接関わることではないので、説明を簡単にしたものである。

次に第9図の装置の動作について、第10図を用いて説明する。なお、第9図に示したビデオRAMはランダムアクセスメモリ(以下RAMと略記)に加えて直列に順次アクセスできるメモリ(シリアルアクセスメモリ:SAMと略記)を備えたものであり、通常の読み出し、書き込み機能のほかに書き込みデータをマスクするライトバースビット機能や、RAM内の一群の記憶素子とSAMとの間で情報の転送を可能にした装置である。

第10図において、時刻t₁のRAS信号の立ち下がりによって行アドレスが、時刻t₂のCAS信号の立ち下がりによって列アドレスが記憶装置1cにとりこまれる。また、時刻t₃において、DT/OE、WB/WEをとともにLowにすることにより、SAMからRAMへの情報転送が指定できるなど、多様な動作モードの設定が可能であり、この様子は第11図にまとめて示している。なお、時刻t₃はCASの立ち上がり時刻であるが、実際には時刻t₃からt₄の間DT/OE、WB/WE信号を固定しておく必要はないが、本

発明に直接関わることはないので説明を簡単にしたものである。

(発明が解決しようとする問題点)

従来の半導体記憶装置は以上のように構成されているので、多様な動作モードを実効させるためには多数のクロック信号が必要になり、記憶装置の入力ピン数が増え、装置が大型化する、またはクロック信号には複雑なタイミング制御が必要になり、周辺装置が複雑かつ大型化するなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、少数のクロック信号で多種類のモードを指定できるとともに、複雑なタイミング制御を必要とせず、本体、周辺装置ともに小型化できる半導体記憶装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る半導体記憶装置は、記憶装置に接続されるアドレスバスにアドレス情報と時分割して記憶装置の動作モード情報及びデータ入力、データ出力をのせるようにしたものである。

それぞれトリガされて記憶装置に与えられる。記憶装置はモード情報により 2^m 通りの異なった動作をすることができる。

なお、上記実施例では動作モード、行アドレス、列アドレスの順に入力されるものとしたが、この順番を変えたり、動作モード情報、アドレス情報の時分割方法を変えたり、CLK 1、CLK 2 によるトリガ方法を変えたりしてもよいことは言うまでもない。

第 3 図は、変形例として、1 種類のアドレス情報と 2 種類のモード情報が与えられ、それぞれ CLK 1 の立ち下がりエッジ、CLK 1 の立ち上がりエッジ、CLK 2 の立ち上がりエッジでトリガされる場合を示す。この例の場合には 2^{2m} 通りのモード設定が可能となる。

また、CLK 1、CLK 2 の立ち上がり、立ち下がりタイミングの組み合わせ、及び 3 種類以上のクロック信号を用いるなどの方法により、さらに多様な分割が可能である。第 4 図(a)にタイミングの組み合わせを変えた場合、第 4 図(b)に 3 種類

(作用)

この発明の半導体記憶装置では、アドレスバスにアドレス情報と時分割して動作モード情報及びデータ入力、データ出力をのせるようにしたので、複雑なタイミング信号により動作モードを決定する必要がなくなり、装置を簡素化できる。

(実施例)

以下、この発明の一実施例を図について説明する。第 1 図において、1 は記憶装置、2 は N 本から構成されるアドレスバス線、3 はタイミングクロック信号をあらわすもので、図には CLK 1、CLK 2 の 2 本の場合を例として示した。

第 2 図は第 1 図の装置の動作タイミングを示す図である。

次に動作について説明する。第 2 図において、 $A_0 \sim A_{m-1}$ のアドレスバス線は動作モード情報、行アドレス情報、列アドレス情報を順次出力し、CLK 1 の立ち下がりエッジで動作モード情報が、CLK 2 の立ち下がりエッジで行アドレス情報が、CLK 1 の立ち上がりエッジで列アドレス情報が、

のクロックを用いた場合を例示する。

また、データ入力、データ出力を時分割することも可能である。この例を第 5 図に示す。

(発明の効果)

以上のように、この発明によれば、半導体記憶装置に接続されるアドレスバスに該記憶装置の動作モード情報をアドレス情報と時分割して与えるようにしたので、記憶装置の入力ピン数を削減できる、記憶装置を小型化できる、複雑なタイミング信号を必要とせず、周辺装置を簡素に、かつ小型化できる、などの効果が得られる。

4. 図面の簡単な説明

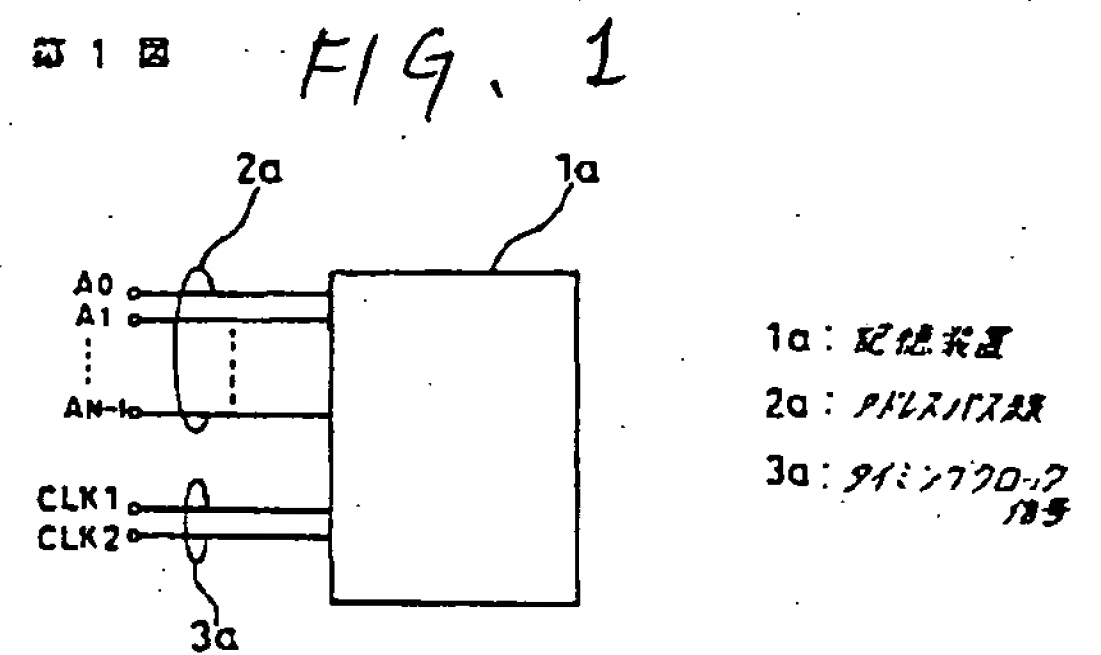
第 1 図はこの発明の一実施例による半導体記憶装置を示すブロック図、第 2 図は第 1 図の装置の動作タイミングを示す説明図、第 3 図ないし第 5 図はこの発明の他の実施例による動作タイミングを示す図、第 6 図は従来の半導体記憶装置を示すブロック図、第 7 図は第 6 図の装置の動作タイミングを示す図、第 8 図は第 6 図の装置の動作モードをまとめた図、第 9 図は他の従来例の半導体記

憶装置を示すブロック図、第10図は第9図の装置の動作タイミングを示す図、第11図は第9図の装置の動作モードをまとめた図である。

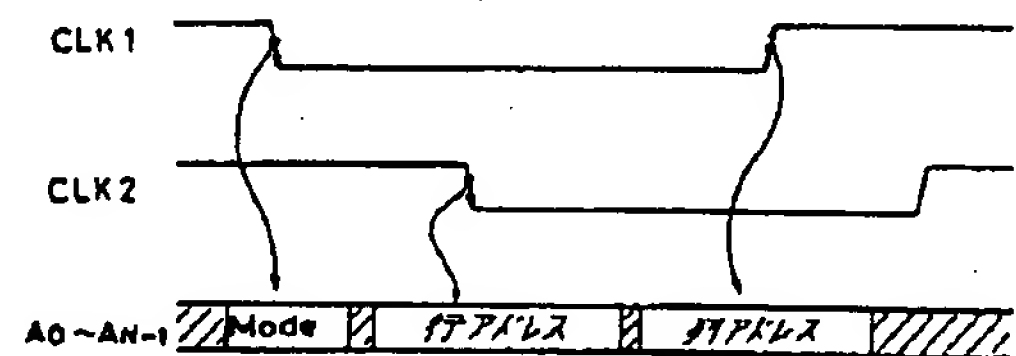
1aは記憶装置、2aはアドレスバス線、3aはタイミングクロック信号。

代理人 早 瀬 憲 一

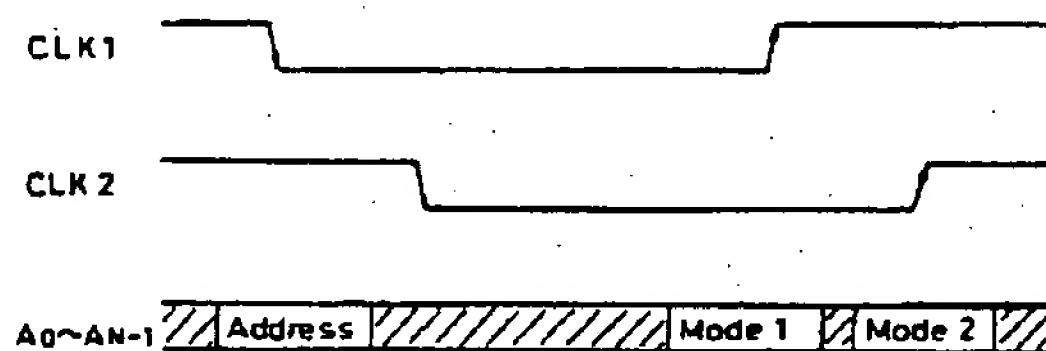
第1図



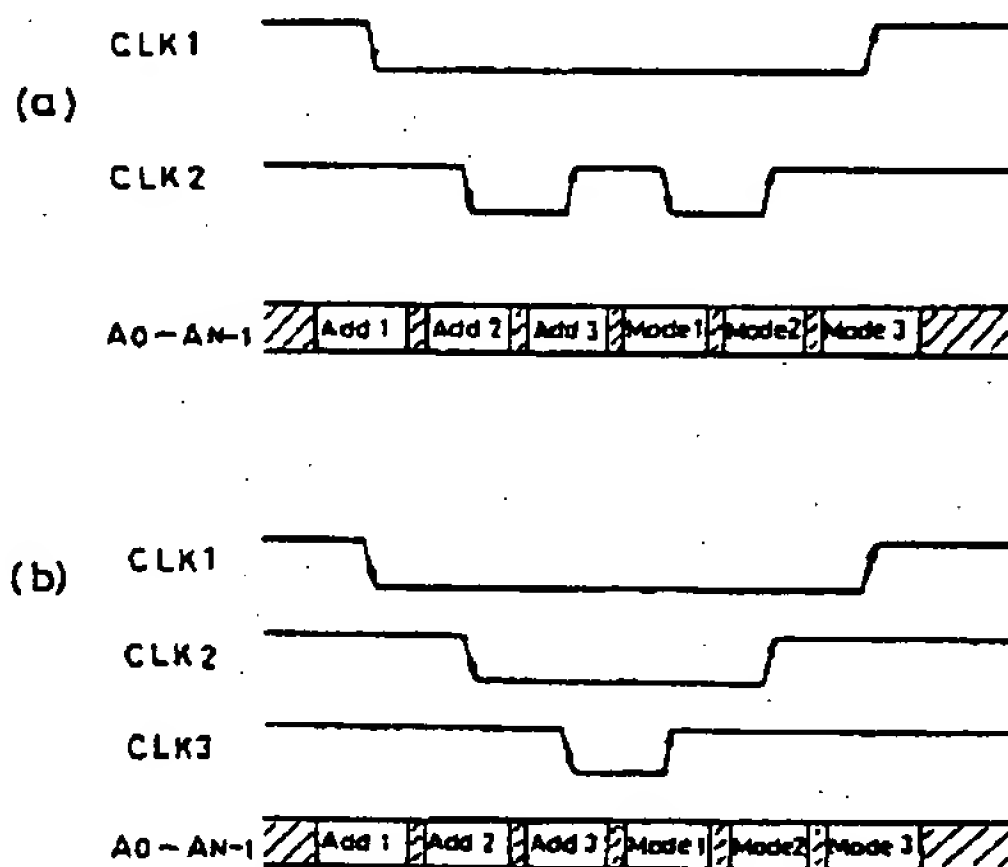
第2図



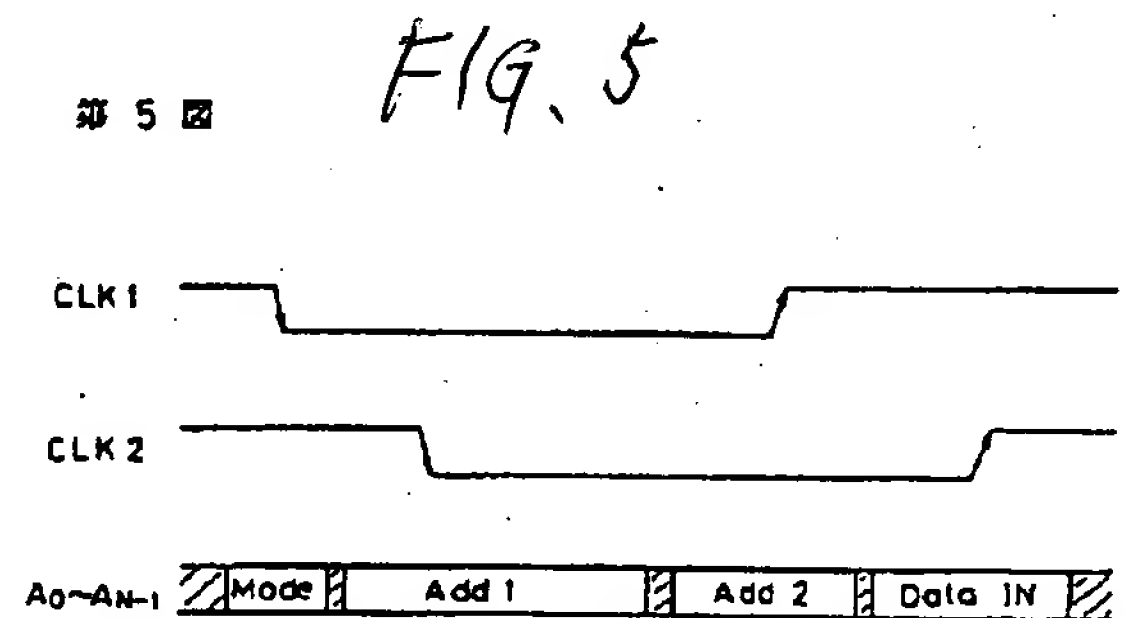
第3図



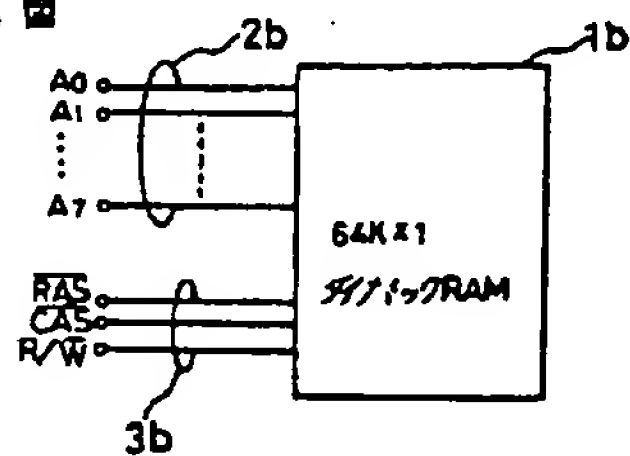
第4図



第5図

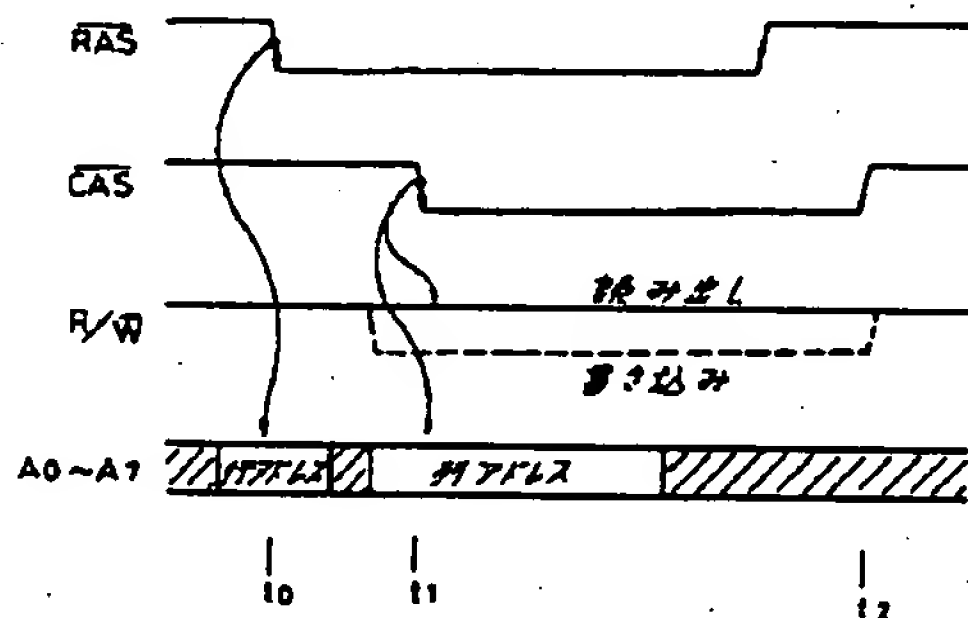


第 6 図



2b: アドレス線
3b: クロック信号

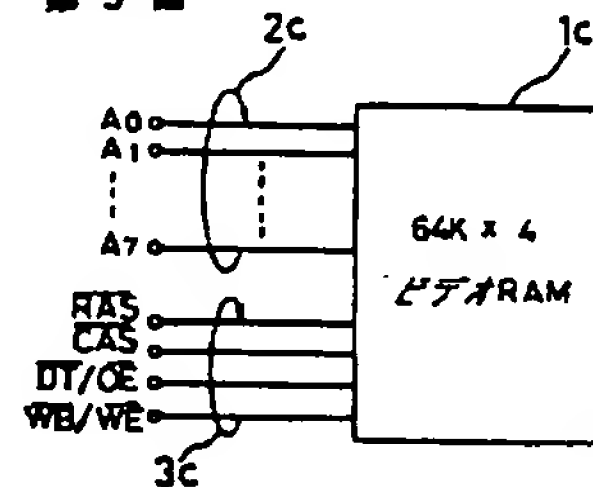
第 7 図



第 8 図

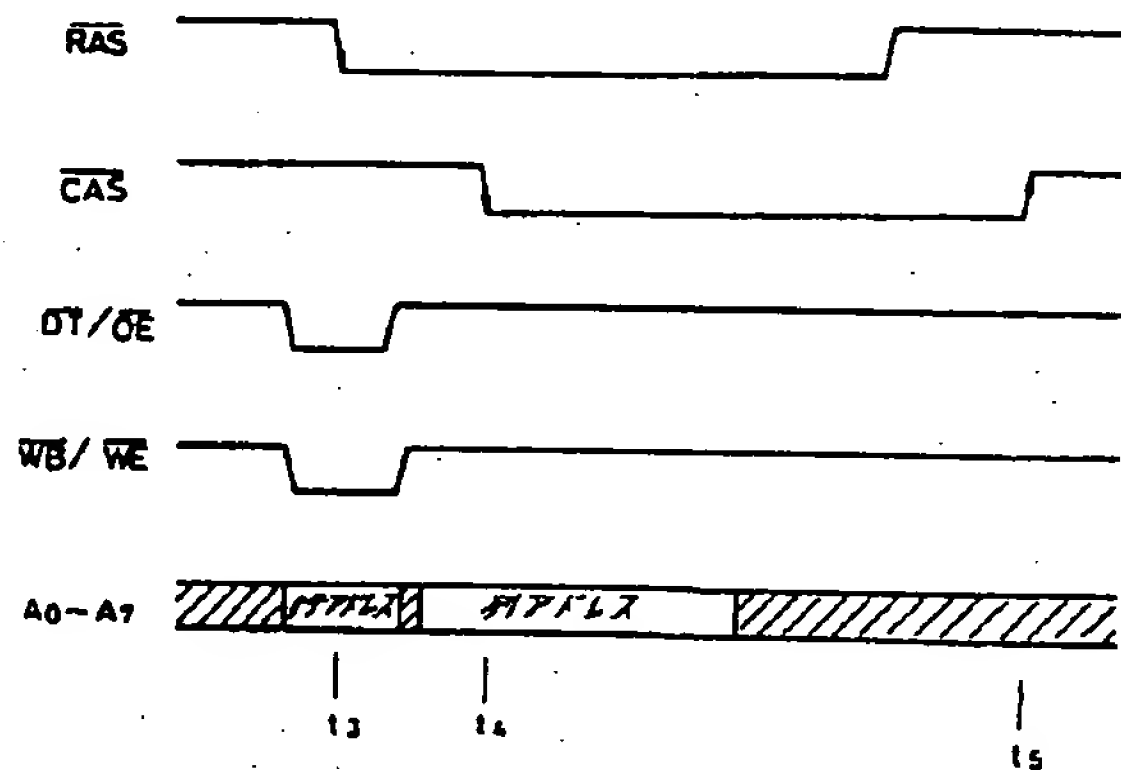
時刻 t ₁₁ ~ t ₁₂ のとき クロック信号 R/W の状態	動作モード
H	読み出し
L	書き込み

第 9 図



2c: アドレス線
3c: クロック信号

第 10 図



第 11 図

クロック信号の状態				動作モード
時刻 t ₁₃		時刻 t ₁₄ ~ t ₁₅		
DT/OE	WB/WE	DT/OE	WB/WE	
H	X	L	H	RAM の読み出し
	H	H	L	RAM の書き込み
	L	H	L	RAM のライト/ビート 書き込み
L	H	X	X	RAM から SAM への転送
	L	X	X	SAM から RAM への転送